



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010078223 A
 (43)Date of publication of application: 20.08.2001

(21)Application number: 1020010004703
 (22)Date of filing: 31.01.2001
 (30)Priority: 04.02.2000 US 00 180441
 25.04.2000 US 00 557746

(71)Applicant: GREAT HUMAN SOFTWARE CO., LTD.
 (72)Inventor: LEE, JONG U
 LEE, YEONG SANG
 PARK, HYE WON

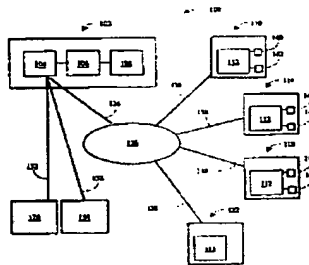
(51)Int. Cl. H04M 11/00

(54) APPARATUS FOR REALIZING COMPUTER TELEPHONE AND METHOD THEREOF

(57) Abstract:

PURPOSE: An apparatus for realizing a computer telephone and a method thereof are provided to use a user's all communication devices with a personal communication number by unifying a speech call, a facsimile and an electronic mail into a single messaging box.

CONSTITUTION: A telephone system(100) comprises a service server (102), a telephone unit(128), a facsimile unit(130) and a plurality of terminals(110,114,118,122). The service server(102) performs a remote communication among the terminals(110,114,118,122). Further, the service server(102) performs a remote communication between the telephone unit(128) and the terminals(110,114,118,122), and performs a facsimile transmission between the facsimile unit(130) and the terminals(110,114,118,122). The service server(102) exchanges data with the terminals(110,114,118,122) by using a data exchange protocol via data lines (136,138).



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20031229)

Patent registration number (1004262060000)

Date of registration (20040325)

한국 공개특허공보 제2001-78288호(2001.08.20) 1부.

[첨부그림 1]

특 2001-0078288

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷	(11) 공개번호	특2001-0078288
H01L 23/52	(43) 공개일자	2001년08월20일
(21) 출원번호	10-2001-0005061	
(22) 출원일자	2001년02월02일	
(30) 우선권주장	2000-025611 2000년02월02일 일본(JP)	
(71) 출원인	닛본 덴기 가부시끼가이샤 가네코 히사시	
(72) 발명자	일본국 도쿄도 미나토구 시바 5조메 7방 1교 이치노세미치히코	
(74) 대리인	일본국도쿄도미나토구시바5조메7방1교닛본덴기가부시끼가이샤사 다카자와도모코	
	일본국도쿄도미나토구시바5조메7방1교닛본덴기가부시끼가이샤사 조의제	
특허청구 : 없음		
(54) 반도체장치 및 이를 이용하는 반도체모듈		

요약

본 발명의 반도체장치는 반도체 칩 및 몰류캐리어에 유사하고 사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프로 이루어진다. 이 배선테이프는 반도체칩의 적어도 상부, 하부 및 일측면에 정착된다. 반도체장치는 칩의 상기 표면등상에 배열된 외부전송부들을 갖는다. 이 반도체장치는 배선층과 건물면의 패키지크기를 갖는다. 2차원적으로 또는 3차원적으로 배열된 다수의 반도체장치들을 구비하는 반도체모듈은 많은 수의 배선들의 고밀도배열을 제공할 수 있고 비평탄한 전기적 특성을 달성한다.

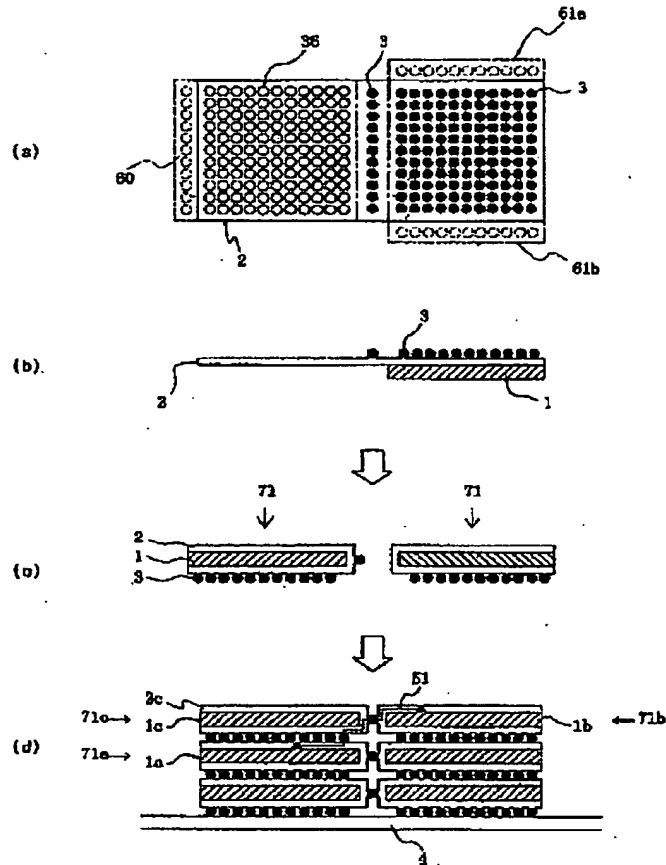
20-1

20-1

[첨부그림 2]

특 2001-0078208

PHS



제1 실시예

반도체장치, 반도체모듈

도면

도면의 간단한 설명

도 1(a)는 본 발명에 따른 조립된 반도체장치의 제1 실시예를 보여주는 평면도이다.

도 1(b)는 제1 실시예의 측면도이다.

도 1(c)는 조립된 상태의 제1 실시예를 보여주는 측면도이다.

20-2

20-2

[첨부그림 3]

특 2001-0078268

도 1(d)는 각각이 도 1(c)에 도시된 바와 같은 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈의 전면도이다.

도 2(a)는 본 발명에 따른 조립되어질 반도체장치의 제2실시예를 보여주는 평면도이다.

도 2(b)는 제2실시예의 전면도이다.

도 2(c)는 조립된 상태의 제2실시예를 보여주는 전면도이다.

도 2(d)는 각각이 도 2(c)에 도시된 바와 같은 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈의 전면도이다.

도 3a는 본 발명에 따른 반도체장치의 제3실시예의 배선테이프를 보여주는 평면도이다.

도 3b는 조립되어질 제3실시예의 전면도이다.

도 3c 및 도 3d는 각각 특정조립단계에서의 제3실시예를 보여주는 전면도들이다.

도 3e는 조립된 상태에서의 제3실시예의 전면도이다.

도 3f는 각각이 도 3e에 도시된 바와 같은 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈의 전면도이다.

도 4(a)는 본 발명에 따른 조립되어질 반도체장치의 제4실시예를 보여주는 평면도이다.

도 4(b)는 조립된 상태의 제4실시예를 보여주는 평면도이다.

도 5는 반도체칩 및 이 칩에 장착된 배선테이프를 포함하는 특정구조를 보여주는 부분단면도이다.

도 6은 배선테이프 및 여기에 장착된 반도체칩을 포함하는 다른 특정구조를 보여주는 부분단면도이다.

도 7은 배선테이프를 생성하기 위한 특정공정들을 보여주는 단면도이다.

도 8은 본 발명에 따라 가능한 특정의 3차원 반도체모듈을 보여주는 실장도이다.

•도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|-----------------------|
| 1...반도체칩 | 2, 20, 21, 22...배선테이프 |
| 3...접합층 | 4...회로기판 |
| 5...전극 | 31...절연막 |
| 32...배선층 | 33...접착층 |
| 34, 44...금속 | 35...커넥터 |
| 36...외부접속부들 | 37...홀 |
| 51, 53...배선물로 | 60-63...연장부 |
| 71-74...반도체장치 | |

발명의 상세한 설명

발명의 목적

본 발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 베어칩(bare chip)에 견줄만한 정도의 패키징(packaging chip)으로서 반도체칩의 주변부에 형성되어 있는 배선테이프를 포함하는 반도체장치 및 미차원적으로 또는 3차원적으로 밀도있게 배열된 다수의 상기 반도체장치들을 포함하는 반도체모듈에 관한 것이다.

오늘날, 다수의 고밀도배열된 반도체장치들로 이루어진 다층칩모듈이 개발되고 있다. 다양한 패키징구조 및 실장방법들이 다층칩모듈과 관련하여 제안되어 왔다. 반도체장치들의 고밀도배열을 달성하는 종래의 구조들은 미하에서 설명할 특정형태들로 분류되어 있다.

한 형태의 구조에 있어서, 반도체장치들은 회로기판상에 수직방향으로 겹쳐 쌓여져 있다. 예를 들면, 일 본 공개특허공보 제9-275163호는 상부 및 저부에 배열된 외부연결부들을 갖는 반도체장치를 개시하고 있다. 이러한 종류의 반도체장치는 1차원적 구조로 쌓여있다고 할 수 있다.

다른 형태의 구조에 있어서, 반도체장치들은 수직방향으로 쌓여 있을 뿐만 아니라 수평방향으로 서로 인접하여 즉, 회로기판에 평행하게 배열되어져 있다. 더욱 구체적으로, 다수층으로 쌓여진 반도체장치들이 회로기판에 평행하게 3차원의 방향으로 나란히 또는 회로기판에 평행하게 두 방향으로 나란히 그러나 서로 수직하게 배열되어져 있다. 여기서, 전자의 구조를 미차원적 구조로 후자의 구조를 3차원적 구조로 각각 인용한다.

미국특허 제5,790,380호는 2차원적 구조를 갖고 단열의 유전성 배선판을 포함하는 반도체장치를 개시하고 있다. 이 유전성 배선판은 상부, 하부 및 회로기판에 의한 반도체칩의 일 측면에 부착되어 있다. 외부접속부들은 이 칩의 그 일 측면에 배열되어져 있다. 또한, 이 문헌은 이러한 반도체장치들의 다이에 부착된 제2유전성 배선판을 갖는 반도체모듈과 다수의 이러한 모듈들에 부착된 제3배선판을 갖는 반도체모듈을 개시하고 있다.

20-3

20-3

[첨부그림 4]

용 2001-0078269

일본 공개특허공보 제10-835,570호는 3차원구조로 배열된 다수의 반도체장치들을 갖는 반도체모듈을 제안하고 있다. 구체적으로, 각 반도체장치는 그 내부에 형성된 공동안에 반도체층을 성장하는 다각형결정패키지를 포함하고 있다. 때문에 의해 구성되는 외부접속부들은 이 패키지들의 각 표면상에 배열되어져 있다. 이 집 및 외부접속부들은 도전리드들 및 본딩와이어들(bonding wires)을 통해 전기적으로 상호접속되어져 있다. 이러한 반도체장치들은 3차원적으로 배열되어진다.

그러나, 앞서 언급한 공개정보 제9-275,183호의 반도체장치는 반도체층의 상부 및 하부에만 배열된 외부접속부들을 가지므로 단지 1차원적 구조를 구성하고 있다. 이 구조로는 고열도배열은 제한된다. 더욱이, 다수의 이러한 반도체장치들이 나란히 위치된다 하더라도, 수평방향으로 서로 인접하는 반도체장치들은 전기적으로 접속될 수가 없다. 예를 들면, 수평방향으로 서로 인접하는 두 모듈들의 상부 반도체장치들은 하부 반도체장치들 및 회로기판의 존재없이 전기적으로 상호접속될 수가 없다. 이것은 전기적 특성들 악화하고 증가하는 성장률도에 기인하여 더 많은 배선들의 고열도배열을 가져온다. 배선들의 고열도배열은 개별적 배선의 폭의 감소와 인접배선들 사이의 거리의 감소를 수반하고, 이것은 설계 및 배치들의 성장에 방해가 되고 비용을 증가시킨다.

미국특허 제5,790,300호에 개시된 2차원구조는 외부접속부들이 단지 층의 일측면상에 배열되기 때문에 제1유연성배선들에 대하여 제2 및 제3유연성배선권이 요구되고, 성장률도를 저하한다. 더욱이, 반도체장치들은 제2 및 제3배선판들 및 회로기판의 존재없이 상호접속될 수가 없다. 이것은 일본 공개특허공보 제9-275,183호와 관련하여 기습한 문제점들을 초래한다.

일본 공개정보 제10-335,570호에서 제안된 3차원구조의 문제점은 다각형 결정패키지가 실질적 두께이고 와이어본딩에 의해 공동내에 장착된 반도체층을 갖는다는 것이다. 그러므로, 이 패키지크기는 패키지보다 더 크고 성장률도에 방해가 된다. 또한, 중간반도체장치들 통한 서로 인접하는 두 반도체장치들은 중간반도체장치 안에 포함된 반도체층의 존재없이 전기적으로 상호접속될 수가 없다. 이것은 상호접속되는 반도체장치들 사이의 상호접속률의 감소를 증가하고 반도체층의 회로설계의 부담을 증가시킨다.

본 발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적은 저비용으로 배선률도의 열화없이 소량의 전기적 특성을 나타내는 2차원 또는 3차원 반도체모듈과, 이 반도체모듈들 구성하기 위한 배어집과 견본인 패키지크기의 반도체장치들 제공 하는 것이다.

본 발명의 구성 및 작용

본 발명에 따르면, 반도체장치는 반도체층 및 사전 선택된 패턴을 갖는 배선층을 포함하는 단일의 배스테이프를 구비하고 있다. 외부접속부들은 이 배스테이프로 배열되는 한쪽 내부접속부들은 배스테이프로 배열되고 반도체층에 포함된 전극들에 접속된다. 이 배스테이프로는 반도체층의 가장자리들에서 튀어져 이 반도체층의 적어도 세 면들에 장착되어 있다. 외부접속부들은 적어도 상기 세 면상에 배열된다.

각각이 상기의 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈이 또한 개시된다.

이하에서, 본 발명의 다른 목적, 구성 및 이점들을 충분히 도면들을 참조하여 더욱 구체적으로 설명한다. 본 발명에 따른 반도체장치 및 반도체모듈의 바람직한 실시예들을 설명한다.

제1 실시예

도 1(a) 내지 도 1(d)을 참조하면, 본 발명을 구성하는 반도체장치 및 반도체모듈이 개시되어 있다. 도 1(a) 내지 도 1(c)에 도시된 바와 같이, 반도체장치(7)는 반도체층(1) 및 합층패러미타와 같은 한개의 배스테이프로 구성된다. 이 반도체장치(1)은 반도체 웨이퍼(미도시)로부터 성장되고 종래의 사각형상을 갖는다. 구체적으로, 이 칩(1)은 사각형을 형성하는 상부, 하부 및 네 개의 측면을 갖는다. 이 칩(1)의 각 두 인접하는 표면은 실질적으로 서로 수직하고 서로 마주보는 각 두 표면은 실질적으로 서로 평행하다. 더욱이 구체적으로, 이 칩(1)의 상부 및 하부는 실질적으로 서로 평행한 한편 도 1(a) 내지 도 1(d)에 도시된 바와 같이 전면과 배면 그리고 우측면과 좌측면 각각도 서로 평행하다.

배선층(미도시)은 사전 선택된 패턴으로 배스테이프로(2) 안에 형성된다. 이 배선층의 사전선택부들은 배스테이프로(2)의 표면상에서 외부로 노출되고, 외부접속부들(35)을 형성한다. 설명된 구성은 80A(8011 Grid Array, 플격자배열)를 이용한다. 그러므로, 외부접속부들(35)은 평납플러그(3)로 로드(load)되어지는 지역으로서의 역할을 한다. 이 배스테이프로(2)는 칩(1)의 상부, 하부 및 일측면에 전개할 때 형성되는 사각형에 대응하는 윤곽을 갖는 대략히 얇고 유연성이 있는 시트이다.

이하에서는 반도체장치(7)를 조립하기 위한 세부공정이 설명된다. 우선, 도 1(a)에 도시된 바와 같이, 평납플러그(3)가 칩(1)의 상부 및 일측면에 장착되어지는 배스테이프로(2)의 단지 일부에 있는 외부접속부들(35)에 집합된다. 즉, 평납플러그(3)는 칩(1)의 하부에 장착되어지는 배스테이프로(2)의 다른 부분에는 없다. 동시에, 칩(1)의 상부에 장착되어지는 부분에 집합된 평납플러그(3)를 갖는 배스테이프로(2)가 준비된다.

도 1(b)에 도시된 바와 같이, 평납플러그(3)가 구비된 배스테이프로(2)는 칩(1)의 상부에 정착된다. 다음, 이 배스테이프로(2)는 칩(1)의 가장자리에서 튀어지고, 도 1(c)에 도시된 바와 같이, 칩(1)의 일측면 및 하부에 부착하여 정착된다. 설명된 구성에 있어서, 배스테이프로(2)가 칩(1)에 정착될 수 있도록 정착재가 사전에 배스테이프로(2)의 배면에 공급된다.

도 1(c)에 도시된 바와 같이, 상기 공정에 의해 조립된 반도체장치(7)는 칩(1) 및 배선층을 포함하는 단일의 배스테이프로 이루어진다. 이 배스테이프로(2)는 외부접속부들(35)에 대하여 내부접속부들을 구비하고 있다. 이 내부접속부들은 칩(1)상에 제공되어 있는 전극(5)(도 5참조)에 접속된 금속(34)(도 5참조)에 의해 수행된다. 이 내부접속부들은 칩(1)에 장착되어지는 배스테이프로(2)의 부분에 배치된다.

이 배스테이프로(2)는 칩(1)의 가장자리들에서 튀어짐에 의해 칩(1)의 상부, 하부 및 일측면에 정착된다.

[첨부 그림 5]

쪽 2001-0076268

외부접속부들(36)은 칩(1)의 상가 세 면들중 모두에 위치된다. 일반적으로, 외부접속부들(36)은 배선대미프(2)가 접착되는 칩(1)의 상부, 하부 및 옆면 가운데 서로 실질적으로 평행한 상부 및 하부(서로 마주 보는 한 쌍의 표면들)상에 배열된다.

도 1(d)는 각각이 도 1(c)에 도시된 구조를 갖는 2차원적으로 배열된 다수의 반도체장치들(71)로 이루어진 반도체모듈을 보여주고 있다. 도시된 바와 같이, 다수의 반도체장치들(71)은 회로기판(4)상에 상여져 있을 뿐만 아니라 우측 및 좌측방향으로 나란히 배열되어져 있다. 평납부들(3)은 수직 및 수평방향으로 서로 인접하는 반도체장치들(71)을 물리적 및 전기적으로 접속하고 있다. 또한, 이 평납부들(3)은 더 더미들의 하부들에 위치된 반도체장치들(71)을 회로기판(4)에 물리적 및 전기적으로 접속한다. 이와 같은 상태에서, 서로 인접하는 반도체장치들(71)은 배선대미프(2)의 외부접속부들(36)을 개재하여 전기적으로 접속된다. 부가하여, 이 반도체장치들(71)은 평납부들(3)에 의해 수직방향(회로기판(4)에 수직) 및 수평 방향(회로기판(4)에 평행)으로 함께 접속된다.

이 반도체장치들(71)은 외부접속부들(36)이 배선대미프(2)가 접착되는 각 칩(1)의 상부, 하부 및 옆면 가운데 서로 실질적으로 평행한 상부 및 하부상에 위치되기 때문에 상여질 수 있다. 도 1(d)는 상단으로 상여진 반도체장치들(71)을 보여주고 있지만, 일정한 한 시나리오는 상여져도 된다.

더욱이, 두 반도체장치들(71)은 배선대미프(2)가 접착되어 있는 각 칩(1)의 옆면상에 위치된 외부접속부들(36) 때문에 우측 및 좌측방향으로 나란히 위치되어질 수 있다.

도 1(a)에 도시된 바와 같이, 배선대미프(2)는 상술한 옆면과 마주보는 칩(1)의 측면에 접착되어져 있는 가운데 서로 실질적으로 평행한 상부 및 하부상에 위치되기 때문에 상여질 수 있다. 도 1(d)는 상단으로 상여진 반도체장치들(71)을 보여주고 있지만, 일정한 한 시나리오는 상여져도 된다.

또한, 도 1(a)에 도시된 바와 같이, 배선대미프(2)는 서로 마주보는 칩(1)의 한 쌍의 측면들 즉, 전면 및 배면에 접착되어지기 위한 연결부들(61a 및 61b)을 구비하고 있다. 이것은 다수의 반도체장치들(71)이 회로기판(4)상에 도 1(d)의 시나리오에 수직인 방향으로 나란히 배열되는 것을 허용하고 또한 연결부들(61a 및 61b)상에 제공되는 외부접속부들 및 평납부들(3)을 개재하여 물리적 및 전기적으로 접속되는 것을 허용한다. 도 6은 불완전한 3차원 반도체모듈의 상세구조를 보여준다. 더 많은 반도체장치들(71)이 확인된 수직 및 수평방향으로 배열되어져도 된다.

상술한 바와 같이, 설명된 구성에 있어서, 외부접속부들(36) 및 평납부들(3)은 물리적 및 전기적으로 반도체장치들(71) 가까이에서 접속된다. 즉, 각 반도체장치(71)는 회로기판(4)의 매개없이 가장 가까운 가능한 부트들 통해 다른 반도체장치(71)에 전기적으로 접속될 수 있다.

더욱이, 도 1(d)에 도시된 바와 같이, 평납부들(3) 및 배선대미프들(2)은 예를 들면 도 1(d)에 도시된 배선들(51)을 형성하기 위하여 상호 접속된다. 배선들(51)은 반도체장치들(71a 및 71b) 사이에 끼워져 있는 반도체장치(71c)내에 포함된 반도체칩(1c)에 장착된 배선대미프(2c)를 통해 두 반도체장치들(71a 및 71b)을 전기적으로 접속한다. 즉, 이 반도체장치들(71a 및 71b)은 반도체장치(71c) 내에 포함된 반도체칩(1c)의 매개없이 전기적으로 상호접속된다.

제2 실시예

본 발명의 다른 실시예를 설명하기 위하여 도 2(a) 내지 도 2(d)를 참조한다. 이 실시예는 다음 구성을 제외하고는 제1 실시예와 유사하다. 각각 도 1(c) 및 도 1(d)에 대응하는 도 2(c) 및 도 2(d)에 도시된 바와 같이, 각 반도체장치(72)는 이중 슬라브로 그들의 배면에서 서로 정착된 두 반도체칩들(10 및 11)을 갖는다. 그러므로, 각 배선대미프(20)는 칩들(10 및 11)의 박판의 상부, 하부 및 옆면에서 발견될 때 형성되는 사각형에 대응하는 윤곽을 갖는다. 이 배선대미프(20)는 앞선 실시예의 배선대미프(2)와는 그것이 칩들(10 및 11)의 박판의 옆면들을 덮는다는 것이 다르다.

반도체장치(72) 및 반도체모듈을 조립하기 위한 구체적인 방법을 이하에서 기술한다. 우선, 도 2(b)에 도시된 바와 같이, 몰트캐리어와 유사한 단일의 배선대미프(20)가 두 칩들(10 및 11)의 표면상에 정착된다. 여기서, 도 2(c)에 도시된 바와 같이, 배선대미프(20)는 칩들(10 및 11)의 가장자리에서 위치되고 칩들(10 및 11)의 측면들에 정착된다. 이 칩들(10 및 11)은 그들의 배면에서 서로 정착된다.

도 2(d)에 도시된 바와 같이, 각각이 도 2(c)에 도시된 구조를 갖는 다수의 반도체장치들(72)이 반도체모듈을 구성하기 위하여 2차원적으로 배열된다. 더욱이, 도 2(a)에 도시된 바와 같이, 배선대미프(20)는 반도체장치들(72)이 어떤 다른 2차원구조 또는 도 8의 구조와 유사한 3차원구조에 배열될 수 있도록 연결부들(62, 63a 및 63b)(점선)을 구비하고 있다.

설명된 실시예에 있어서, 평납부들(3) 및 배선대미프(20)는 예를 들면, 도 2(d)에 도시된 배선들(53)을 형성하기 위하여 접속된다. 이 배선들(53)은 칩들(10a 및 10c) 사이에 끼워져 있는 반도체칩(11c)에 장착된 배선대미프(2c)를 통해 두 칩들(10a 및 10c)을 전기적으로 접속한다. 즉, 이 칩들(10a 및 10c)은 칩(11c)의 매개없이 전기적으로 상호접속된다.

제3 실시예

본 발명의 또 다른 실시예를 도 3a 내지 도 3e를 참조하여 설명한다. 도시된 바와 같이, 반도체장치(73)는 여섯 개의 반도체칩들(12 내지 17)과 몰트캐리어를 담은 단일의 배선대미프(21)로 구성된다. 이 칩들(12 내지 17)의 각각은 구조에 있어서 제1 실시예의 칩(1)과 동일하다. 설명하는 실시예에 있어서, 배선대미프(21)는 칩들(12 내지 17) 각각의 체적보다 내배 보다도 더 긴 길이를 갖는다.

이 반도체장치(73)의 조립을 위한 상세공정을 이하에서 설명한다. 우선, 평납부들(3)이 배선대미프(21)상에 형성된 외부접속부들(36)에 접속되어져 있고, 도 3a에서 실선으로 표시되어 있다. 더욱 상세하게는 이 평납부들(3)은 칩(12)의 앞면 및 칩들(12 내지 17)의 측면들에 접착되어지기 위한 배선대미프(21)의 부분에 접착되어진다. 동시에, 칩(12)의 앞표면에 접착되기 위한 부분에만 접착된 평납부들(3)을 갖는 배선대미프

20-5

20-5

[첨부그림 6]

록 2001-0076268

프(21)가 준비된다.

도 3b에 도시된 바와 같이, 이 칩들(12 및 17)의 앞표면들은 각각 외부접속부들(36)이 형성되는 베스테이프(21)의 반대 끝부분들의 뒷면에 정착된다. 다음, 칩들(13, 14, 15 및 16)은 그룹의 앞표면들이 베스테이프(21)의 중간부의 반대표면들에 정착된다. 이어서, 도 3c에 도시된 바와 같이, 베스테이프(21)는 칩들(12 및 13)의 가장자리에서 휘어지고 이 칩들(12 및 13)의 측면에 정착된다. 또한, 칩들(12 및 13)의 배면은 서로 정착된다.

도 3d에 도시된 바와 같이, 베스테이프(21)는 칩들(14 및 15)의 가장자리에서 휘어지고 이 칩들(14 및 15)의 측면에 정착된다. 동시에, 이 칩들(14 및 15)의 배면은 서로 정착된다. 또한, 도 3e에 도시된 바와 같이, 베스테이프(21)는 칩들(16 및 17)의 가장자리에서 휘어지고 이 칩들(16 및 17)의 측면에 정착된다. 동시에, 이 칩들(16 및 17)의 배면은 서로 정착된다.

도 3a에 도시된 바와 같이, 반도체장치(73)는 세 쌍의 반도체층들을 구비하고, 이 칩들의 각 쌍은 그룹의 배면이 서로 정착되어 있다. 구체적으로, 칩들(12 및 13), 칩들(14 및 15) 및 칩들(16 및 17)은 각각 세 개의 이중합들(81, 82 및 83)을 구성하도록 결합되어 있다.

설명된 실시예에 있어서, 베스테이프(21)는 외부접속부들(36)에 부가하여 사전설정된 패턴을 갖는 내부접속부들을 갖는다. 이 내부접속부들은 각각 전극들(5a, 5b 및 5c)에 접속된 금속(44, 44b 및 44c) 도 6장 조)에 의해 수납되고, 합성에 제공된다. 이 내부접속부들은 칩에 정착되는 베스테이프(21)의 부분상에 위치한다.

앞면이 서로 마주하는 두 이중합들(81 및 82, 또는 82 및 83)은 베스테이프(21)의 매개로 서로 접속하고 있다. 칩들 사이에 끼여 있는 부분에 인접하는 베스테이프(21)의 부분은 칩들의 가장자리에서 정착되고 칩들의 다른 표면들에 정착된다. 다른 표면들은 이중합(81)의 하부 및 좌측면, 이중합(82)의 우측면, 및 이중합(83)의 상부 및 좌측면을 말한다. 외부접속부들(36)은 상기 표면들 즉, 베스테이프(21)가 정착되는 표면들에 포함된 두 쌍의 삼각형으로 평행한 표면들의 각각상에 위치한다. 이 두 쌍의 삼각형으로 평행한 표면들은 반도체장치(73)의 상부 및 하부와 반도체장치(73)의 우측면 및 좌측면이다.

도 3는 각각이 도 3a에 도시된 구조를 갖는 다수의 2차원배열반도체장치들(73)로 구성된 반도체모듈을 보여주고 있다. 도시된 바와 같이, 반도체장치들(73)은 회로기판(4)상에 배열되고 우측 및 좌측방향으로 나란히 배열되어 있다. 땀납들(3)은 수직 및 수평방향으로 인접하는 반도체장치들(73)을 물리적 및 전기적으로 접속한다. 또한, 이 땀납들(3)은 이 디바이스의 하부면에 위치한 반도체장치들(73)을 회로기판(4)에 접속한다. 이 상태에서, 서로 인접하는 반도체장치들(73)은 베스테이프(21)의 외부접속부들(36)을 매개로 전기적으로 접속된다. 부가하여, 이 반도체장치들(73)은 땀납들(3)에 의해 수직방향(회로기판(4)에 수직) 및 수평방향(회로기판(4)에 평행)으로 함께 접속된다.

이 반도체장치들(73)은 외부접속부들(36)이 서로 삼각형으로 평행한 상부 및 하부상에 위치되기 때문에 적용될 수 있다. 도 3는 두 단으로 적용된 반도체장치들(73)을 도시하고 있지만, 소량에 10라 세 단위 이상으로 적용되어도 좋다.

또한, 다수의 반도체장치들(73)은 우측면 및 좌측면에 위치한 외부접속부들(36)로 인해 우측 및 좌측방향으로 나란히 배치될 수 있고, 서로 삼각형으로 평행하게 된다. 도 3는 나란히 배열된 세 개의 반도체장치들(73)을 보여주고 있지만, 네 개 이상의 반도체장치들(73)이 나란히 배열되어도 좋다.

도 3a에 도시된 바와 같이, 베스테이프(21)는 서로 마주보는 이중합들(81 내지 83)의 면들 즉, 앞면들 및 배면들에 정착되어지는 땀납부들(6a, 6b, 65a, 65b, 66a 및 66b)(점선)의 모두 또는 일부를 구비해도 좋다. 이것은 다수의 반도체장치들(73)이 도 3의 시트표면에 수직인 방향으로 배열되는 것을 허용하고 또한 땀납부들(6a 내지 66b) 상에 제공되는 외부접속부들 및 땀납들(3)을 통해 물리적 및 전기적으로 접속되는 것을 허용한다. 결과로서의 반도체모듈은 도 8의 구조와 유사한 3차원 구성을 갖는다.

설명된 바와 같이, 설명된 실시예에 있어서, 외부접속부들(36) 및 땀납들(3)은 반도체장치들(73)을 가 끼이에서 물리적 및 전기적으로 접속한다. 즉, 각 반도체장치(73)는 회로기판(4)의 매개없이 그러므로 가장 짧은 가능한 루트들 통해 다른 반도체장치(73)에 전기적으로 접속된다.

또한, 도 3e에 도시된 바와 같이, 땀납들(3) 및 베스테이프(21)는 예를 들면, 베스테이프(54)를 형성하기 위하여 협동한다. 이 베스테이프(54)는 반도체층들(13 및 14)에 정착된 베스테이프(21)를 개재하여 두 반도체장치들(12 및 15)을 전기적으로 접속하고, 반도체장치들(12 및 15) 사이에 끼여 있다. 즉, 반도체장치들(12 및 15)은 칩들(13 및 14)의 매개없이 전기적으로 상호 접속된다.

더욱이, 도 3f에 도시된 바와 같이, 땀납들(3) 및 베스테이프(21)는 예를 들면, 베스테이프(55)를 형성하기 위하여 협동한다. 이 베스테이프(55)는 반도체장치(73c)에 포함된 베스테이프(21c)를 개재하여 두 반도체장치들(73a 및 73b)을 전기적으로 접속하고, 반도체장치들(73a 및 73b) 사이에 끼여 있다. 즉, 반도체장치들(73a 및 73b)은 반도체장치(73c)의 칩들의 매개없이 전기적으로 상호 접속된다.

이중합들(81, 82 및 83)의 각각은 단열층으로 대체되어도 좋고, 이 경우에 각 반도체장치(73)는 세 개의 칩들(13, 14 또는 15 및 16)로 구성되지 않고 설명된 방법으로 조립될 것이다.

제4실시예

도 4(a) 및 도 4(b)를 참조하여, 본 발명의 또 다른 실시예를 설명한다. 도시된 바와 같이, 반도체장치(74)는 반도체층(18) 및 필드패러다와 유사한 베스테이프(22)로 구성된다. 이 칩(18)은 제1실시예의 칩(1)의 구조와 동일하다. 설명된 실시예에 있어서, 베스테이프(22)는 수직 및 수평방향에서 칩(18)의 사선 길이 보다 약간 더 큰 제2의 사각구조를 갖는다.

이 반도체장치(74)의 조립을 위한 상세공정을 이하에서 설명한다. 우선, 땀납들(3)이 베스테이프(22)의 앞표면에 부착된다. 이어서, 칩(18)의 앞표면이 베스테이프(22)의 배면 중앙에 정착된다. 이 시점에서, 도 4(a)에 도시된 바와 같이, 칩(18)은 그 네 면들이 베스테이프(22)의 측면들에 대하여 45° 기울어 지도

[첨부그림 7]

특 2001-0076288

로 위치된다. 그 후, 배선테이프(22)는 칩(18)의 가장자리들에서 칩(18)의 주변전계 즉, 칩(18)의 네 측면을 및 배면을 덮도록 아래로 접합되고 그 밑 이 칩(18)에 정착된다. 도 4(b)에 도시된 바와 같이, 배선테이프(22)의 네 코너들은 이 배선테이프(22)의 배면의 돌출에 모인다.

설명된 실시예에 있어서, 배선테이프(22)는 칩(18)의 측면 모두에 정착된다. 외부접속부들(36)은 이 칩(18)의 측면들의 세 면을 이상에 위치된다. 이것은 다수의 반도체장치들(74)이 제1실시예에서와 같은 방법으로 이차화 또는 3차원적으로 배열되는 것을 허용한다.

칩(18)의 측면들 모두에 정착되어 있는 배선테이프(22)는 시각확률 갖고 있고 그러므로 최소한의 돌출을 필요로 한다. 부가하여, 이러한 유닛은 배선텔계의 효율을 증진한다. 이 칩(18)은 소양에 따라 그들의 배면들이 서로 정착된 두 칩들로 대체되어져도 좋다.

미저, 도 6을 참조하여, 제1, 제2 및 제4실시예들의 반도체장치들(71, 72, 및 74)의 각각의 상세구조를 설명한다. 도시된 바와 같이, 배선테이프(2, 20 또는 22)는 절연막(31), 배선텔(32), 정착층(33), 메탈라인 금속(34), 및 커비들(35)의 박막이다. 배선텔(32)은 식각에 의해 사전설정된 패턴으로 되어 있는 절연막(31)의 일측표면에 형성된다. 커비들 또는 절연부(35)는 절연막(31)의 상기표면을 갖는다. 이 커비들(35)은 외부접속부들(36)의 역할을 위해서 배선텔(32)의 각 랜드부분을 개방하고 있다. 평면(3)은 이 외부접속부들(36)에 부착된다. 정착층(33)은 절연막(31)의 다른 표면에 형성된다.

배선테이프(2, 20 또는 22)는 정착층(33)을 개재하여 반도체칩(1, 10, 11 또는 13)에 정착된다. 내부접속부의 역할을 수행하는 금속(34)은 칩(1)에 포함된 전극(5)과 마주하는 절연막(31) 및 정착층(33)의 일부에 형성된 홈들안에 매립되어 있다. 이 금속(34)은 일 단부가 배선텔(32)에 접속되고 타단부가 전극(5)에 접속된다. 커비들(35)은 홈(37)과 함께 금속(34) 위에 형성된다. 전극(5)과 금속(34)을 접속하기 위하여, 전극도구(30)가 홈(37)을 통해 금속(34)에 놓여 있는 배선텔(32) 부분을 가압하고 그것에 의해 금속(34)을 전극(5)에 정착한다.

도 6은 제3실시예의 반도체장치(73)의 상세구조를 보여준다. 도시된 바와 같이, 배선테이프(21)는 두 절연막들(41a 및 41b), 배선텔(42), 두 정착층들(43a 및 43b), 및 매립된 금속들(44a, 44b, 및 44c)의 박막이다. 배선텔(42)은 절연막들(41a 및 41b) 사이에 끼여 있고 사전설정된 배선텔패턴을 갖는다. 이 배선텔(42)은 식각에 의해 절연막(41b)의 일측표면에 형성된다. 미저, 절연막(41a)이 절연막(41b)의 상기표면에 형성된다. 칩(1)에 배선테이프(21)의 일측표면에 설정되어지는 부분(8)에, 절연막(42)이 외부접속부(36)를 형성하기 위하여 식각, 관장, 레이저드릴링 또는 유사한 기술에 의해 랜드부분에 홈과 함께 형성된다. 평면(3)은 이 외부접속부(36)에 부착된다.

첨부된 배선테이프(21)의 양 표면에 설정되어지는 부분(A)에 있어서, 정착층(43a)은 배선텔(42)에 형성되는 표면에 반대되는 절연막(41a)의 표면에 형성된다. 칩(14 또는 15)은 정착층(43a)을 통해 배선테이프(21)에 정착된다. 금속(44a)은 칩(14 또는 15)에 포함된 전극(5a)과 마주하는 부분에서 절연막(41a)의 정착층(43a)안에 형성된 홈들 내에 매립되어 있다. 이 금속(44a)은 일 단부가 배선텔(42)에 접속되고 타단부가 전극(5a)에 접속된다.

유사하게, A 부분에 있어서, 정착층(43b)은 배선텔(42)에 형성되는 표면에 반대되는 절연막(41b)의 표면에 형성된다. 칩(13 또는 16)은 정착층(43b)을 통해 배선테이프(21)에 정착된다. 금속(44b)은 칩(13 또는 16)안에 포함된 전극(5b)과 마주하는 부분에서 절연막(41b) 및 정착층(43b)안에 형성된 홈들 내에 매립되어 있다. 이 금속(44b)은 일 단부가 배선텔(42)에 접속되고 타단부가 전극(5b)에 접속된다.

전극들(5a 및 5b)을 금속들(44a 및 44b)에 접속하기 위하여, 칩(14 또는 15)의 배면 및 칩(13 또는 16)의 배면을 가압하고 따라서 그 사이의 배선테이프(21)가 가압된다. 결과적으로, 금속들(44a 및 44b)은 각각 전극들(5a 및 5b)에 정착된다.

B 부분에 있어서, 정착층(43b)은 배선텔(42)에 반대되는 절연막(41b)의 표면에 형성된다. 배선테이프(21) 및 칩(12 또는 17)은 정착층(43b)에 의해 함께 정착된다. 금속(44c)은 칩(12 또는 17)안에 포함된 전극(5c)과 마주하는 부분에서 절연막(41b) 및 정착층(43b)안에 형성된 홈들 내에 매립되어 있다. 이 금속(44c)은 일 단부가 배선텔(42)에 접속되고 타단부가 전극(5c)에 접속된다. 홈(47)은 절연막(41a) 안에 칩(44c)을 정착시키기 위하여 형성된다. 전극(5c)과 금속(44c)을 접속하기 위하여, 전극도구(30)는 홈(47)을 통해 외부로 노출된 금속(44c) 위에 위치한 배선텔(42)의 부분을 가압한다.

도 6에 도시된 구조에 있어서, 절연막들(41a 및 41b)은 예를 들면, 폴리이미드(polyimide)로 형성되고, 배선텔(42)은 예를 들면, 구리박으로 구성된다. 그러나, 이러한 물질들은 단지 예시에 불과할 뿐 어떤 적절한 물질들로 대체되어져도 좋다.

도 7은 배선테이프들(2, 20 및 22)의 어느 하나를 형성하기 위한 상세공정을 보여준다. 도 7(a)에 도시된 바와 같이, 통으로된 배선텔(32)은 폴리이미드로된 절연막(31)의 일측표면에 형성된다. 정착층(33)은 절연막(31)의 타측표면에 코팅되고, 정착층(33)을 형성한다. 이 절연막(31)은 두께가 약 12 μ m이다. 배선텔(32)은 두께가 약 18 μ m이다. 또한, 정착층(33)은 두께가 약 10 μ m이다.

미저, 도 7(b)에 도시된 바와 같이, 배선텔(32)은 배선텔(히로패터닝)을 형성하기 위하여 선택적으로 식각되어진다. 도 7(c)에 도시된 바와 같이, 배선텔이 존재하는 배선텔(32)의 표면은 커비들(35)(커비 저항부들)으로 덮여진다. 도 7(d)에 도시된 바와 같이, 홈(91)은 배선텔(32)이 이 홈(91)을 통해 외부로 노출되도록 이 배선텔(32)의 반대측으로부터 정착층(33) 및 절연막(31)을 통해 형성된다.

도 7(e)에 도시된 바와 같이, 통(01)(32)은 정착층(33)의 표면으로부터 약간 물출되도록 하는 식(역시미 레미지)을 이용하는 내부 통 도금(91) 내에 매립되어진다. 도 7(f)에 도시된 바와 같이, 금(Au)은 통(92)을 코팅함에 의해 정착층(33)의 상기 표면으로부터 물출하는 통(92)의 표면에 도금된다(내부코팅도금). 도 7(g)에 도시된 바와 같이, 배선텔(32)에 포함되어져 있는 랜드부분(94)을 덮고 있는 커비들(35)의 부분은 랜드부분(94)이 외부로 노출되도록 식각(21부 레이저 드릴링)에 의해 제거된다. 최종적으로, 도 7(h)에 도시된 바와 같이, 금(95)은 그것을 덮도록 랜드부분(94)상에 도금된다(외부 코팅도금).

20-7

20-7

[첨부그림 8]

록 2001-0078288

도 7에 도시된 공정에 의해서 배선테이프(2, 20 또는 22)가 형성된다. 배선테이프(21)를 위치하는 도 7(c)의 커버지합착물단계는 평면막(41a)형성단계 및 광학층(43a)형성단계로 대체된다.

도시되고 설명된 상술의 실시예들에 있어서, 배선층은 배선테이프의 외부접속부들의 역할을 수행하는 한 드럼 형성하기 위하여 부분적으로 외부에 노출된다. 배선층은 반도체장치를 서로 접속하기 위하여 한드럼에 접착된다. 이 배선층은 배선층에 접속하는 도선을 형성하려면 어떤 다른 적절한 금속층기로 대체되어져도 된다. 또한, 내부접속부로서 역할하기 위하여 배선테이프에 매립된 금속은 생략되어져도 좋으며, 이 경우에는 배선층이 반도체층의 전극에 직접 접착될 것이다.

발명의 효과

상술한 바와 같이, 본 발명은 다음에 열거되는 예상치 못했던 여러 가지 이점들을 갖는 반도체장치 및 반도체모듈을 제공하고 있다.

(1) 단일의 배선테이프가 반도체층의 세 면을 이상에 장착되고, 패여접크기와 견줄만한 크기의 패키지로 반도체장치를 제공한다. 이것은 수많은 배선층의 밀도배열을 성공적으로 피할 수 있다.

(2) 외부접속부들은 2차원 또는 3차원 고밀도 반도체모듈을 달성하도록 반도체층의 세 이상의 표면에 위치된다.

(3) 배선테이프는 반도체모듈의 심층이 상대적으로 얇은 부트럼 통해서 전기적으로 상호 접속되는 것을 허용하고, 따라서 배선테이프 상에는 용론 회로기판상에 수많은 배선층의 고밀도배열을 피할 수가 있다. 이것은 개별배선의 폭과 인접배선들 사이의 거리가 증가되는 것을 허용하고, 따라서 배선테이프 및 회로기판의 실장내용을 줄일 수 있다.

(4) 결과적으로, 2차원 또는 3차원 반도체모듈이 바람직한 전기적 특성을 달성할 수가 있다. 부가하여, 제비용으로 배여함과 같이 작은 반도체층을 및 반도체장치가 생산될 수 있다.

이상에서 개시된 내용으로부터 본 발명이 속하는 기술분야의 통상의 지식을 가진 자라면 본 발명의 정신 및 범위를 벗어나지 아니하는 범위에서의 다양한 변경들이 가능하다는 것을 알 수 있을 것이다.

(5) 청구의 범위

청구항 1

반도체층;

사건선택된 패턴을 갖는 배선층을 포함하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 반도체층내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 배선테이프는 상기 반도체층의 가장자리들에서 절곡되고 상기 반도체층의 적어도 세 면들에 장착되며, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 한 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 두 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 4

제1항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 세 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 5

제1항에 있어서, 상기 반도체층은 그들의 배면들이 서로 접착된 두 반도체층들을 포함하는 것을 특징으로 하는 반도체장치.

청구항 6

다수의 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

반도체층; 및

사건선택된 패턴을 갖는 배선층, 배선테이프상에 배열된 외부접속부들, 및 이 배선테이프 내에 형성되고 상기 반도체층내에 포함된 전극들에 접속된 내부접속부들을 구비하는 단일의 배선테이프를 포함하고;

상기 배선테이프는 상기 반도체층의 가장자리들에서 절곡되고 상기 반도체층의 적어도 세 면들에 장착되며, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있고;

상기 다수의 반도체장치들은 떨어져 있을 뿐만 아니라 나란히 배열되어져 있고, 상기 외부접속부들을 통해 전기적으로 상호 접속되어 있는 것을 특징으로 하는 반도체모듈.

20-8

20-8

[첨부그림 9]

특 2001-0078266

참구항 7

제6항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 8

제6항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체체에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 9

다수의 2차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

반도체층; 및

사건선택된 패턴을 갖는 배선층, 배선테이프상에 배열된 외부접속부들, 및 이 배선테이프 내에 형성되고 상기 반도체층내에 포함된 전극들에 접속된 내부접속부들을 구비하는 단일의 배선테이프를 포함하고;

상기 배선테이프는 상기 반도체층의 가장자리들에서 접촉되고 상기 반도체층의 적어도 세 면들에 장착되며, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있는 것을 특징으로 하는 반도체모듈.

참구항 10

제9항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 11

제9항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체체에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 12

다수의 3차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

반도체층; 및

사건선택된 패턴을 갖는 배선층, 배선테이프상에 배열된 외부접속부들, 및 이 배선테이프 내에 형성되고 상기 반도체층내에 포함된 전극들에 접속된 내부접속부들을 구비하는 단일의 배선테이프를 포함하고;

상기 배선테이프는 상기 반도체층의 가장자리들에서 접촉되고 상기 반도체층의 적어도 세 면들에 장착되며, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있는 것을 특징으로 하는 반도체모듈.

참구항 13

제12항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 14

제12항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체체에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 15

적어도 두 반도체층들;

사건선택된 패턴을 갖는 배선층을 포함하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프내에 형성되고 상기 적어도 두 반도체층들의 각각에 포함된 전극들에 접속된 내부접속부들을 포함하고;

적어도 일 측면에 서로 마주하는 두 반도체층들은 상기 배선테이프에 의해 상호접속되고, 상기 두 반도체층들 사이에 끼여있는 부분에 인접하는 상기 배선테이프의 부분은 상기 두 반도체층들의 가장자리들에서 접촉되고 상기 두 반도체층들의 다른 표면들에 장착되는 것을 특징으로 하는 반도체장치.

참구항 16

제15항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 한 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

참구항 17

제15항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 두 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

참구항 18

20-9

20-9

[첨부그림 10]

특 2001-0078289

제15항에 있어서, 상기 외부접속부들은 상기 적어도 세 면을 중 서로 마주하는 세 쌍의 표면상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 19

제15항에 있어서, 상기 반도체층은 그들의 측면들이 서로 접합된 두 반도체층들을 포함하는 것을 특징으로 하는 반도체장치.

청구항 20

다수의 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체층들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

일측면이 서로 마주하는 두 반도체층들은 상기 배선테이프에 의해 상호접속되고;

상기 두 반도체층들 사이에 끼여있는 부분에 인접하는 상기 배선테이프의 부분은 상기 두 반도체층들의 가장자리들에서 접촉되고 상기 두 반도체층들의 다른 표면들에 접촉되는 것을 특징으로 하는 반도체모듈;

상기 다수의 반도체장치들은 떨어져 있을 뿐만 아니라 나란히 배열되어져 있고, 상기 외부접속부들을 통해 전기적으로 상호 접속되어 있는 것을 특징으로 하는 반도체모듈.

청구항 21

제20항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 22

제20항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 접촉되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 23

다수의 2차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체층들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

일측면이 서로 마주하는 두 반도체층들은 상기 배선테이프에 의해 상호접속되고;

상기 두 반도체층들 사이에 끼여있는 부분에 인접하는 상기 배선테이프의 부분은 상기 두 반도체층들의 가장자리들에서 접촉되고 상기 두 반도체층들의 다른 표면들에 접촉되는 것을 특징으로 하는 반도체모듈.

청구항 24

제23항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 25

제23항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 접촉되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 26

다수의 3차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체층들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

일측면이 서로 마주하는 두 반도체층들은 상기 배선테이프에 의해 상호접속되고;

20-10

20-10

[첨부그림 11]

목록 2001-0078288

상기 두 반도체층들 사이에 끼여있는 부분에 인접하는 상기 배선테이프의 부분을 상기 두 반도체층들의 가장자리들에서 절곡되고 상기 두 반도체층들의 다른 표면에 접착되는 것을 특징으로 하는 반도체모듈.

청구항 27

제26항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 28

제26항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 29

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 포함하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프내에 형성되고 상기 적어도 두 반도체층들의 각각에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체층들은 각각 상기 배선테이프의 반대표면에 접착되고, 상기 배선테이프의 다른 부분은 상기 반도체층들의 가장자리들에서 절곡되며 상기 반도체층들의 다른 표면에 접착되는 것을 특징으로 하는 반도체장치.

청구항 30

제29항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 한 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 31

제29항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 두 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 32

제29항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 세 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 33

제29항에 있어서, 상기 반도체층은 그들의 배면들이 서로 접착된 두 반도체층들을 포함하는 것을 특징으로 하는 반도체장치.

청구항 34

다수의 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체층들의 각각에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체장치들은 각각 상기 배선테이프의 반대표면에 접착되고;

상기 배선테이프의 다른 부분은 상기 반도체층들의 가장자리들에서 절곡되고 상기 반도체층들의 다른 표면에 접착되는 것을 특징으로 하는 반도체모듈.

청구항 35

제34항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 36

제34항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 37

다수의 2차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

20-11

20-11

[첨부그림 12]

독2001-0076286

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체칩들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체장치들은 각각 상기 배선테이프의 반대표면들에 장착되고;

상기 배선테이프의 다른 부분은 상기 반도체칩들의 가장자리들에서 절곡되고 상기 반도체칩들의 다른 표면에 장착되는 것을 특징으로 하는 반도체모듈.

참구항 38

제37항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 39

제37항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 40

다수의 3차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은;

적어도 두 반도체칩들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체칩들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체장치들은 각각 상기 배선테이프의 반대표면들에 장착되고;

상기 배선테이프의 다른 부분은 상기 반도체칩들의 가장자리들에서 절곡되고 상기 반도체칩들의 다른 표면에 장착되는 것을 특징으로 하는 반도체모듈.

참구항 41

제40항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

참구항 42

제40항에 있어서, 각 두 반도체칩들은 상기 두 반도체칩들 사이에 끼여있는 반도체칩에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

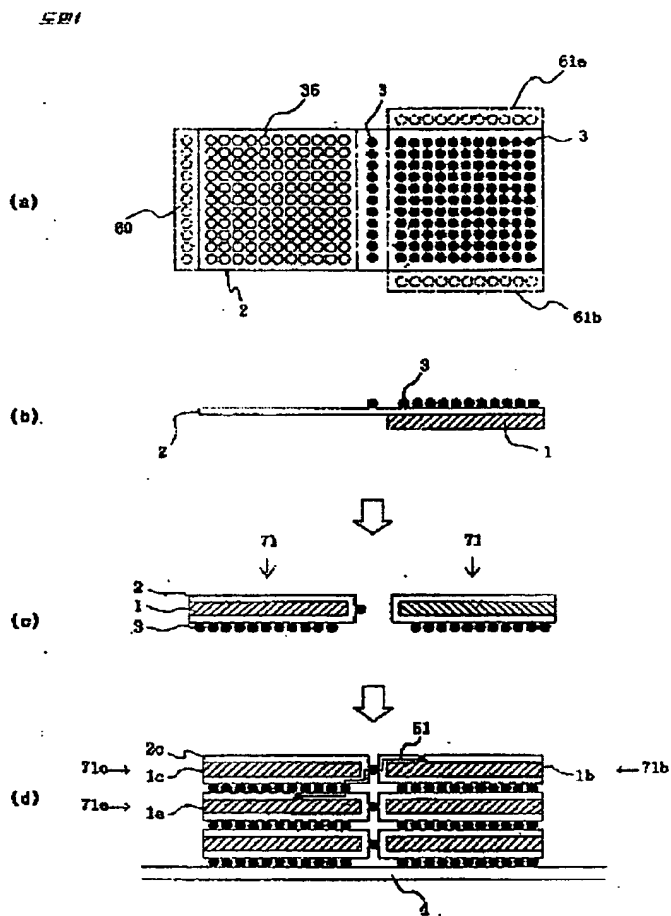
도18

20-12

20-12

[첨부그림 13]

국 2001-0078288

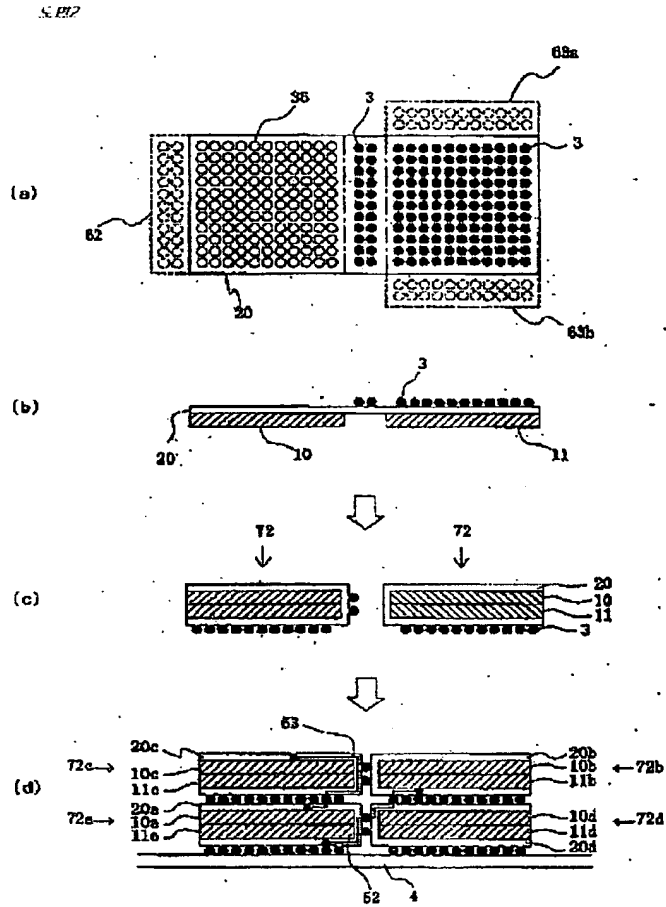


20-13

20-13

[첨부그림 14]

문 2001-0078286

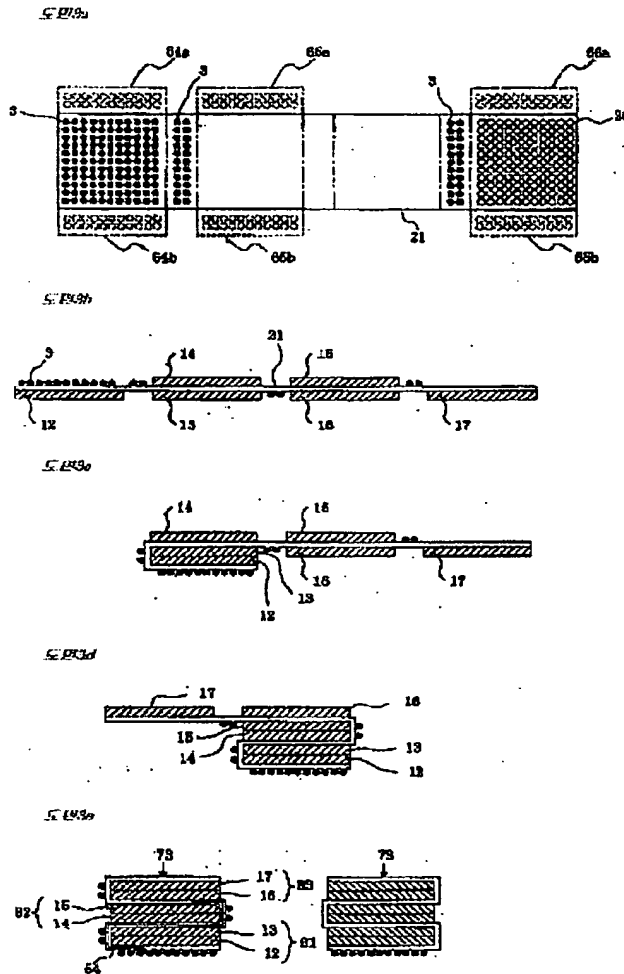


20-14

20-14

[첨부그림 15]

도 2001-0076233

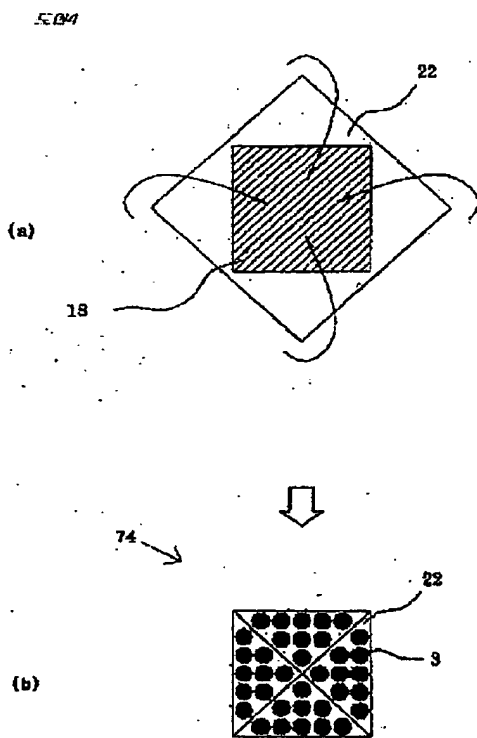
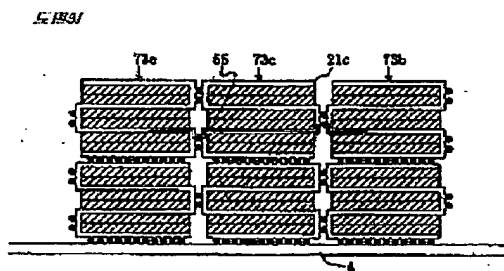


20-15

20-15

[첨부그림 16]

특 2001-0078288

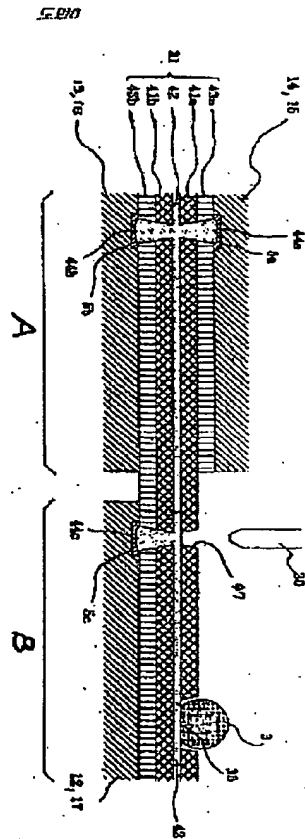


20-16

20-16

[첨부그림 18]

영 2001-0078288

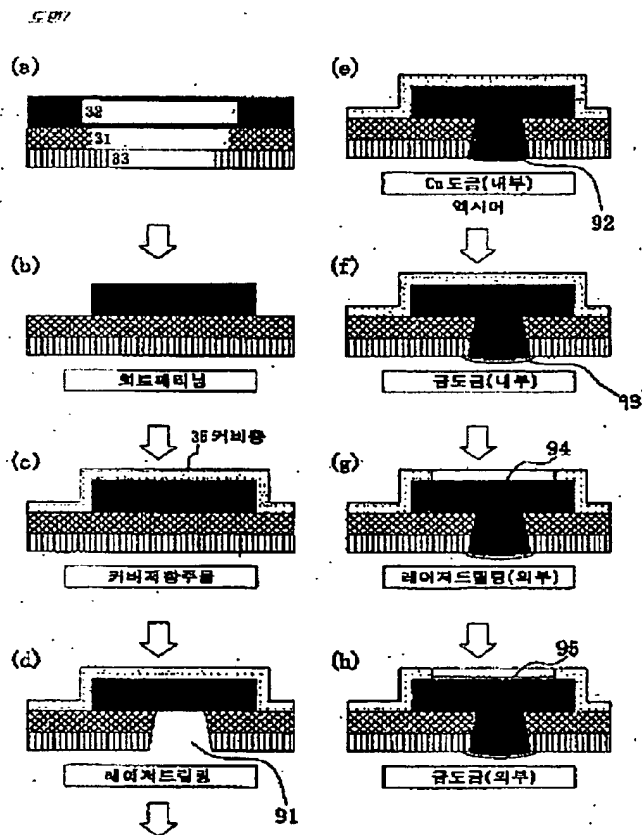


20-18

20-18

[첨부그림 19]

록 2001-0078268



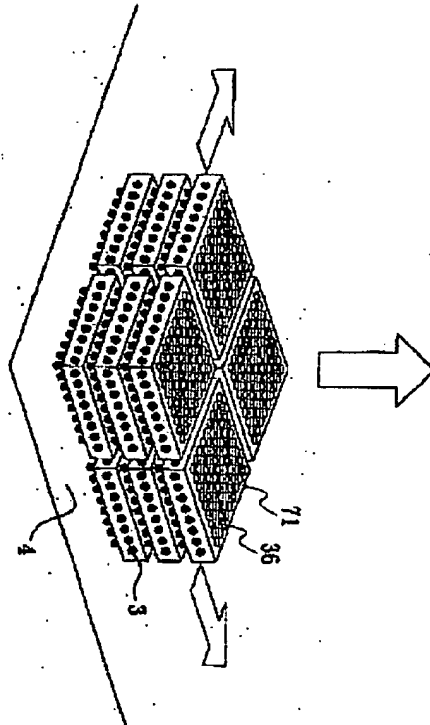
20-19

20-19

[첨부그림 20]

특 2001-0078288

5.100



20-20

20-20